



This course covers all SoCs belonging to the KeyStone II, AM5K2E, 66AK2H and 66AK2E

OBJECTIVES

- The course details the hardware implementation of the Key Stone II.
- The course focuses on the boot sequence, the clocking and the power management strategies.
- The course explains all parameters that affect the performance of the system in order to easily perform the final tuning.
- The Ethernet MACs, as well as the Queue Manager and the Network Coprocessor are detailed.
- Interrupt management through ARM GIC is explained through a lab.
- The course also covers the hardware implementation, particularly the power supplies and the clocking
- All operation modes of EDMA3 are studied through use cases.
- General purpose high speed interfaces PCIe and USB3.0 are also handled.

A more detailed course description is available on request at training@ac6-training.com

Prerequisites and related courses

- The Cortex-A15 ARM CPU is studied in a separate course.
 - See Cortex-A15 implementation and NEON programming cours [RA3 - Cortex-A15 implementation](#).
- The following courses could also be of interest:
 - PCIe cours [IC4 - PCI Express 3.0](#)
 - Gigabit Ethernet cours [N1 - Ethernet and switching](#)
 - USB 3.0 cours [IP3 - USB 3.0](#)

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en

- o entreprise le cas échéant.

Plan

ARCHITECTURE OF KEY STONE II

- Describing the architectures of AM5K2E, 66AK2H, 66AK2E SoCs
- On-chip memories
- Clarifying the internal data paths: TeraNet masters and slaves
- Memory Protection Unit
- Organization of a board based on Key Stone II
- Summary of all peripheral features
- Memory mapping

ARM COREPAC

- Cortex-A15 and integrated L2 cache instantiation options
- Integrated interrupt controller (GIC), detail of interrupt mapping
- Hardware big/little endian conversion
- Local Power and Sleep Controller
- Debug architecture
- Introduction to CoreSight, DAP features
- System Secure Controller SJC
- Embedded Trace Macrocell

HARDWARE IMPLEMENTATION

- Power supplies, smart reflex
- Clock Control Module
- Reset Controller
- General Purpose Input/Output pins
- SerDes

EDMA3 CONTROLLER

- DMA/QDMA Channel Logic
- Transfer controller, types of transfers
- Event queues
- Transfer Request Submission Logic
- Channel priority definition
- DMA/QDMA Channel Logic
- Parameter RAM (PaRAM):
 - Linking transfers
 - Channel controller shadow regions

ACCESSING EXTERNAL MEMORIES

- DDR3 Controller
- EMIF16

PCIe CONTROLLER

- Configuration as Agent or Root Complex
- Interrupt management, MSI
- Error management
- Configurable BAR filtering
- Inbound and outbound window programming
- Power management

COMMUNICATION CONTROLLERS

- Enhanced CSPI
- I2C interfaces
- UART
- USB 3.0
- 1G/10G Ethernet Controller
- Ethernet switch
- Multicore Navigator
- Network coprocessor

Renseignements pratiques

Renseignements : 4 jours