

## STR17 - STM32L1

This course describe the STM32L1 architecture and practical examples

### Objectives

- Understand Cortex-M3 core and STM32L1 SoC.
- Configure RCC (MSI/HSI/HSE/LSI/LSE) and PLL.
- Use GPIO/EXTI, timers, DMA, ADC, serial I/O.
- Apply ultra-low-power modes and measure impact.
- Manage Flash, true Data EEPROM, Option Bytes, watchdogs.
- (Variant) Bring up USB FS, LCD, TSC.

### Environnement du cours

- Cours théorique
  - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
  - Cours dispensé via le système de visioconférence Teams (si à distance)
  - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Activités pratiques
  - Les activités pratiques représentent de 40% à 50% de la durée du cours
  - Elles permettent de valider ou compléter les connaissances acquises pendant le cours théorique.
  - Exemples de code, exercices et solutions
  - Pour les formations à distance:
    - ▶ Un PC Linux en ligne par stagiaire pour les activités pratiques, avec tous les logiciels nécessaires préinstallés.
    - ▶ Le formateur a accès aux PC en ligne des stagiaires pour l'assistance technique et pédagogique
    - ▶ Certains travaux pratiques peuvent être réalisés entre les sessions et sont vérifiés par le formateur lors de la session suivante.
  - Pour les formations en présentiel:
    - ▶ Un PC (Linux ou Windows) pour les activités pratiques avec, si approprié, une carte cible embarquée.
    - ▶ Un PC par binôme de stagiaires s'il y a plus de 6 stagiaires.
  - Pour les formations sur site:
    - ▶ Un manuel d'installation est fourni pour permettre de préinstaller les logiciels nécessaires.
    - ▶ Le formateur vient avec les cartes cible nécessaires (et les ramène à la fin de la formation).
- Une machine virtuelle préconfigurée téléchargeable pour refaire les activités pratiques après le cours
- Au début de chaque session (demi-journée en présentiel) une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

### Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

### Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués de deux façons différentes, suivant le cours:
  - Pour les cours se prêtant à des exercices pratiques, les résultats des exercices sont vérifiés par le formateur, qui aide si nécessaire les stagiaires à les réaliser en apportant des précisions supplémentaires.

- Des quizz sont proposés en fin des sections ne comportant pas d'exercices pratiques pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, chaque stagiaire reçoit une attestation et un certificat attestant qu'il a suivi le cours avec succès.
  - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

## Plan

### Day 1

#### Cortex-M3 overview (core)

- Core overview
- MSP/PSP stacks.
- Exceptions, NVIC priority.
- SysTick, SVC, PendSV.
- Faults: HardFault path.
- WFI/WFE basics.

*Exercise : Exception Management*

#### SoC & memory map

- Lines: L1x1/L1x2/L1x3.
- Flash/SRAM/PPB layout.
- Peripheral address map.
- UID and Flash size regs.
- Option Bytes snapshot.

*Exercise : Map & IDs*

#### RCC - reset & clocks

- MSI ranges/accuracy.
- HSI/HSE selection.
- PLL M/N/R (device).
- SYSCLK mux, AHB/APB.
- CCIPR kernel clocks.
- MCO output; CSS.

*Exercise : Clock profiles*

#### Power & voltage scaling

- Sleep/Low-power run.
- Low-power sleep/Stop.
- Standby + VBAT domain.
- Voltage scaling ranges.
- PVD/BOR.

*Exercise : Mode sweep*

#### GPIO / EXTI / SYSCFG

- PP/OD, pulls, speeds.
- AF mapping rules.
- EXTI lines, priorities.
- Debounce strategies.
- Safe I/O at reset.

*Exercise : GPIO + EXTI*

**Timers (gen/basic) (LPTIM if present)**

- PWM edge/center.
- Input capture.
- One-pulse mode.
- Encoder interface.
- Master/slave triggers.
- (Variant) LPTIM tickless.

*Exercise : PWM + capture*

**Day 2****DMA**

- Channels/requests map.
- Normal vs circular.
- HT/TC/TE flags.
- Throughput vs latency.

*Exercise : UART RX ring (DMA)*

**ADC & analog**

- 12-bit ADC basics.
- Sampling time, ranks.
- Timer-triggered ADC.
- DMA continuous/circular.
- Analog watchdog.
- Internal VREF/TEMP.

*Exercise : ADC + DMA stream*

**RTC & tickless timing**

- LSE vs LSI trade-offs.
- Calendar, alarm, wakeup.
- Backup registers.
- Tickless via RTC/LPTIM.
- Drift, calibration.

*Exercise : Tickless blink*

**USART / LPUART**

- USART Overview.
- Blocking/IRQ/DMA.
- Stop-mode wake (LPUART).
- Error recovery (ORE/FE).

*Exercise : Robust UART*

*Exercise : LPUART wake from Stop*

**SPI**

- CPOL/CPHA modes.
- Data sizes; NSS rules.
- Full-duplex DMA.
- Simplex options.
- Timing check (LA).

*Exercise : SPI loopback DMA*

**I<sup>2</sup>C**

- Sm/Fm/Fm+ speeds.
- 7/10-bit addressing.
- Analog/digital filters.
- Timeouts; bus-clear.
- Clock stretching.

**Day 3****USB FS device (variant)**

- VBUS sense options.
- EP/FIFO basics.
- CDC/DFU quick paths.
- Clocking constraints.
- Suspend/resume flow.

*Exercise : CDC echo or DFU*

**LCD segment driver (variant)**

- COM/SEG mapping.
- Bias/duty settings.
- Frame frequency.
- Contrast options.
- Simple icon drive.

*Exercise : LCD icon demo*

**TSC capacitive touch (variant)**

- Channel groups/IOs.
- Acquisition timing.
- Threshold tuning.
- Noise filtering.
- Key/slider basics.

*Exercise : Touch key demo*

**Flash, Data EEPROM & OB**

- Flash erase/program.
- True Data EEPROM use.
- Simple wear-leveling.
- OB: RDP/PCROP/BOR.
- Reset cause logging.

*Exercise : EEPROM config*

**Boot, ROM & watchdogs**

- ROM bootloader ports.
- DFU/UART/I<sup>2</sup>C options.
- Boot pins & OB links.
- IWDG vs WWDG basics.
- Reset causes record.

*Exercise : IWDG + DFU try*

**Production checklist (wrap-up)**

- Clocking proven (MCO).

- I/O safe at boot/sleep.
- Low-power numbers noted.
- Comms error policy set.
- UID/serial/CRC scheme.

*Exercise : Self-audit*

## Renseignements pratiques

**Renseignements : 3 jours**