



This course covers both DDR4 and LPDDR4 SDRAM

OBJECTIVES

- The course starts with a summary of DDR3/LPDDR3 specification.
- Then DDR4 functional description is studied.
- Differences between LPDDR4 and DDR4 are highlighted.
- ZQ calibration and write levelling sequences are detailed.
- The analog part is also described, particularly the tests to be performed using an oscilloscope.
- An example of DDR4 controller provides an example of programming interface.

A more detailed course description is available on request at training@ac6-training.com

PREREQUISITES

- Knowledge of SDRAM.

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan**DDR3 FUNCTIONAL DESCRIPTION**

- DDR3 organization
- Burst chop mode
- Initialization sequence, new RESET# signal
- Dynamic ODT
- ZQ calibration
- Topologies, fly-by architecture
- Write leveling
- Low power modes

LPDDR3 FUNCTIONAL DESCRIPTION

- Power-up, initialization, and power-off
- Mode Register Read command
- Mode register definition
- Timings for Activate, Read, Write, Precharge
- Precharge & Auto Precharge clarification
- Refresh command
- Low power modes, self-refresh, partial array self refresh, power down, deep power down
- Temperature sensor
- CA training sequence
- ZQ calibration, write levelling

DDR4 FUNCTIONAL DESCRIPTION

- Bank group vs Bank address
- Alert output, CRC for write, Command Address parity
- Reset and initialization procedure
- Geardown mode
- BL8 burst order with CRC enabled
- Input clock frequency change
- Write levelling
- DQ training with MPR
- Temperature controlled refresh modes
- ZQ calibration
- Vref training
- Timings for Activate, Read, Write, Precharge
- Read preamble training
- Low power modes
- Connectivity test mode
- Pseudo-Open Drain termination

LPDDR4 FUNCTIONAL DESCRIPTION

- Pinout, addressing
- 2-channel architecture
- Power-up, initialization and power-off procedure
- Mode register definition
- Activation, read and write timing diagrams
- LPDDR4 Data Mask (DM) and Data Bus Inversion (DBIdc) function
- Low power modes
- Vref training
- Frequency set point update timing
- Write levelling procedure
- Read DQ calibration

- ZQ calibration
- On-Die Termination

LPDDR4 ANALOG SPECIFICATION

- Differential Input Cross Point Voltage
- Slew rate requirements
- LVSTL(Low Voltage Swing Terminated Logic) IO System
- Temperature derating for AC timing
- CA Rx voltage and timing
- DQ Rx Voltage and Timing
- Using an oscilloscope to qualify the interface

DDR4 MEMORY CONTROLLER

- Example of NXP IP
- Address multiplexing: bank interleaving vs page interleaving
- PCB design considerations
- ECC implementation
- Tuning parameters
- Initiating write leveling, hardware vs software calibration
- Driver analog part configuration
- Memory testing

Renseignements pratiques

Renseignements : 2 jours