

IN1 - Pentium-M implementation

This course covers Intel Pentium-M X86 low power processor

Objectives

- Optimized code writing based on pipeline knowledge.
- Data flows between SDRAM, L1 caches and L2 are explained.
- MESI cache coherency protocol is introduced in increasing depth.
- Vector instructions are viewed in detail.
- The course details the system startup sequence, particularly in multi-core platforms.
- The various modes of the memory management unit are described.
- This course has been delivered to several companies developing embedded systems.

A more detailed course description is available on request at formation@ac6-formation.com

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

INTRODUCTION TO PENTIUM-M

- Overview, implementation of IA-32 architecture
- Operation modes
- X86 fundamentals

REAL MODE

- Privilege levels
- Segments
- Accessing High Memory Area
- Flat mode

PROTECTED MODE

- Virtual memory
- X86 virtual mode
- Task management
- Segment descriptors : GDT vs LDT
- Code segment, conforming vs non-conforming segments
- Call gate utilization
- Data segment

MULTITASK HARDWARE MECHANISMS

- Task State Segment [TSS]
- Task gate
- Task switching
- I/O space protection

PAGE TRANSLATION

- 386 page translation
- PDE and PTE format
- Privilege level checking
- Pentium 4-MB pages
- PAE-36
- PSE-36

VIRTUAL MODE X86

- VMM requirements
- Video frame buffer virtualization

MEMORY TYPES

- Memory Type and Range Registers
- Page attribute table

EXCEPTION MANAGEMENT

- Vector table
- Priority between exceptions
- Exception management in real mode
- Exception management in protected mode
- Interrupt and trap gates

- Exception return
- Exception management in VM86 mode
- Acceleration mechanisms : sysenter and sysexit instructions

LOCAL APIC

- Interrupt management in SMP platforms
- Local interrupts
- Interrupt management sequence
- IPI generation and reception
- Message Signaled Interrupts
- MSI utilization in Pentium platforms

POWER MANAGEMENT

- Pentium-II power management, state machine
- Pentium-M power management, deeper sleep new state
- SpeedStep technology
- System Management Mode
- Interrupt management when SMM is active
- Transition to Power-Down

SYSTEM STARTUP

- Hardware configuration
- Processor state after a reset
- Selecting the bootstrap processor
- Configuring Auxiliary processors
- Microcode update

INSTRUCTION PIPELINE

- Detail of the 11 stages
- Hyper-threading, Pentium-4 implementation
- CPU resource utilization
- Instruction execution steps

CACHES

- L2 cache organization
- Hit under miss
- Miss under miss
- Squashing

PROGRAMMING

- Mixing 16-bit and 32-bit codes
- I/O space access instructions
- Addressing modes
- SSE instructions, register set

Renseignements pratiques

Durée : 3 jours
Prix : 1750 € HT